

## ⑫ 公開特許公報 (A)

平3-155640

⑬ Int. Cl.<sup>5</sup>H 01 L 21/336  
27/06  
29/784

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月3日

8422-5F H 01 L 29/78 301 L  
7735-5F 27/06 102 E

審査請求 未請求 請求項の数 1 (全5頁)

## ⑮ 発明の名称 MOS型半導体装置の製造方法

⑯ 特願 平1-295519

⑰ 出願 平1(1989)11月14日

⑱ 発明者 両角 幸男 長野県諏訪市大和3丁目3番5号 セイコーホン株式会社内

⑲ 出願人 セイコーホン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代理人 弁理士 鈴木 喜三郎 外1名

## 明細書

である。

## 〔従来の技術〕

MOS-LSI等の集積化、多機能化を図る為、多層配線構造化やトランジスタの微細化が進められている。MOSトランジスタの微細化に伴う耐ホットキャリア特性改善の為、LDD (Lightly-Doped-Drain) やDDD (Double-Diffused-Drain) 構造としドレインの電界緩和を図る半導体装置が提案されており、これらの製造方法は第2図の様に、例えばシリコン基板11にフィールド酸化膜12を選択酸化で形成し、そのアクティブ領域に150~200Åのゲート酸化膜13を形成し、イオン注入によりしきい値電圧を調整した後、SiH<sub>x</sub>を熱分解したPolysiliconを約4000Å気相成長し、フォトエッチングによりゲート電極14や配線30を同時に形成する。次にソース、ドレインの低濃度不純物層15、16にリン等を1~5×10<sup>13</sup>cm<sup>-2</sup>程度イオン注入した後、SiH<sub>x</sub>とO<sub>2</sub>を400°C程度で気相反応させたシ

## 1. 発明の名称

MOS型半導体装置の製造方法

## 2. 特許請求の範囲

少なくとも、ゲート膜及びゲート電極を形成する工程、ソース、ドレイン等の低濃度不純物層を形成する工程、気相成長によるシリコン窒化膜とシリコン酸化膜を積層する工程、異方性エッチバックによりゲート電極の側壁に該積層膜でなるスペーサーを形成する工程、ソース、ドレイン等の高濃度不純物層を形成する工程を具備したことを特徴とするMOS型半導体装置の製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、ゲート電極の側壁に異方性エッチバックによって形成された絶縁膜のスペーサーを有するMOS型半導体装置の製造方法に関するもの

リコン酸化膜17を約5000Åさせる(第3図(a))。次に、 $\text{CF}_4$ 、 $\text{C}_2\text{F}_6$ や $\text{CHF}_3$ 等のガスを含む反応性ドライエッチャーで異方性エッチバックして、ゲート電極の側壁にスペーサー18を形成する(第3図(b))。次にソース、ドレイン等の高濃度不純物層19、20にヒ素を $1 \sim 8 \times 10^{13} \text{ cm}^{-2}$ 位イオン注入し、活性化後、第1の層間絶縁膜21として、 $\text{SiH}_4$ と $\text{O}_2$ を気相反応させたシリコン酸化膜あるいはPSG(リンガラス)膜を約6000Å積層し、平坦化の為塗布ガラス22をスピンドルコートし800°C程度の温度でアニールする。次にコンタクトホールを開孔してから、0.6μm程度の厚みでスパッタしたAl合金をバーニングし第1の金属配線23とする(第3図(c))。次に、第2の層間絶縁膜24として気相成長シリコン酸化膜を堆積し、更に平坦化の為塗布ガラス25をスピンドルコートし400°C程度の温度でアニール後、スルーホールを開孔し、0.8μm程度の厚みでスパッタしたAl合金をバーニングし第2の金属配線2

6とし(第3図(d))、その後プラズマ成長させたシリコン空化膜等を保護膜として積層し、ポンディングパッドを開孔している。

#### 【発明が解決しようとする課題】

しかしながら従来技術に於いては、スペーサー18を形成する異方性エッチバックの際、その終点は、ゲート電極14や配線30のPoly-Siが露出する時のプラズマ発光を、特定波長の透過するフィルターを通して、例えばSiF<sub>6</sub>(442nm)やF(685nm)の発光スペクトル受光強度の変化より決定しようとしているが、バーニングされたPoly-Siの面積はフィールド酸化膜に比べ圧倒的に少なく発光強度の変化を捕えにくく終点判定が困難である。またバーニングされたPoly-Siスペースの底面でのシリコン酸化膜17の膜厚は、気相成長によるカスピングで薄くなってしまっており、Poly-Si表面が露出する時にはスペーサーと同じ材料であるフィールド酸化膜12が大分オーバーエッチングされてしまったり、アクティブ領域のソース、ドレイ

ン等の表面のゲート酸化膜も抜け、シリコン表面が叩かれダメージが発生する。これは、固定した時間エッティングでコントロールしようとしても、同様なことが言える。これらの結果、トランジスタのゲート膜破壊、チャンネルリリークの発生原因や、フィールド酸化膜12が2~2500Åも薄くなり層間容量の増大の他に、フィールド酸化膜12上のPoly-Si配線30の段作寸法やアスペクト比が大きくなり、この上にクロスする配線や層間膜の平坦性、カバレージに支障を期したり、ポアド29等による信頼性不良が多発していた。しかし本発明は、かかる問題点を解決するもので、特にMOSトランジスタのゲート電極等の側壁スペーサー形成時のオーバーエッチを防ぐ事により、微細多機能半導体装置の安定供給を図ると共に、信頼性に伴う品質の向上を図ることを目的としたものである。

#### 【課題を解決するための手段】

本発明のMOS半導体装置の製造方法は、少なとも、ゲート膜及びゲート電極を形成する工程、

ソース、ドレイン等の低濃度不純物層を形成する工程、気相成長によるシリコン空化膜とシリコン酸化膜を積層する工程、異方性エッチバックによりゲート電極の側壁に該積層膜でなるスペーサーを形成する工程、ソース、ドレイン等の高濃度不純物層を形成する工程を具备したことを特徴とする。

#### 【実施例】

以下本発明による半導体装置の製造方法の一実施例を、第1図を用いて詳細に説明する。

サブミクロンルール多層配線構造のSiゲートMOS-LSIに適用した場合に於いて、例えばシリコン基板11にフィールド酸化膜12を選択酸化で約5500Å形成し、そのアクティブ領域に約180Åのゲート酸化膜13を形成し、イオン注入によりしきい値電圧を調整した後、 $\text{SiH}_4$ を熱分解したPoly-Siを約4000Å気相成長し、フォトエッティングによりゲート電極14や配線30を同時に形成した。次にゲート電極14やフィールド酸化膜12をマスクにしてソ

ース、ドレインの低濃度不純物層15、16にリン等を約 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入した。次にSiH<sub>4</sub>とNH<sub>3</sub>を含むガス雰囲気中でシリコン空化膜27を800~1200Å成長し、続けてSiH<sub>4</sub>とO<sub>2</sub>を約400°C気相反応させたシリコン酸化膜17を5000Å積層させた(第1図(a))。次にC<sub>2</sub>F<sub>6</sub>とCHF<sub>3</sub>ガスを含む反応性ドライエッチャードで異方性エッチバックしてゲート電極14の側壁にスペーサー18を形成した(第3図(b))。この時、シリコン酸化膜17を異方性エッチバックする時の終点検出は、下地シリコン空化膜27からのNの発光スペクトル337nmを受光し、この間に所望のオーバーエッチャードを行なったが、下地全面にシリコン空化膜27が有ることによって確実に行なわれると共に、シリコン空化膜27に対して選択比が大きくとれる為、フィールド酸化膜12やソース、ドレイン上のゲート酸化膜13がエッチャードされてしまうことがない。次に、160~180°Cのリン酸中に約15分浸漬して、シリコン空化膜2

7をウェットエッチャードした(第1図(c))。続いてソース、ドレインの高濃度不純物層19、20にヒ素を約 $5 \times 10^{13} \text{ cm}^{-2}$ イオン注入し、950°Cのアニール後、第1の層間絶縁膜21として、SiH<sub>4</sub>とO<sub>2</sub>及びPH<sub>3</sub>を気相反応させたシリコン酸化膜及びPSG膜を併せて約600Å積層し、平坦化の為塗布ガラス22をスピンドルコートし800°C程度の温度でアニールした。次にコンタクトホールを開孔し、0.6μmの厚みでスパッタしたAl合金をバーニングし第1の金属配線23とした(第1図(c))。次に、第2の層間絶縁膜24としてSiH<sub>4</sub>とO<sub>2</sub>を気相反応させたシリコン酸化膜を約6000Å堆積し、更に平坦化の為塗布ガラス25をスピンドルコートし400°C程度の温度でアニール後、スルーホールを開孔し、約0.8μmの厚みでスパッタしたAl合金をバーニングし第2の金属配線26とした(第1図(d))、その後保護膜としてプラズマ成長させたシリコン空化膜を積層し、ポンディングパッドを開孔した。

この様にして製造された半導体装置に於いては、側壁のスペーサー18を形成する際に、フィールド酸化膜12やソース、ドレイン上のゲート酸化膜13がエッチャードされてしまうことがなく、MOSトランジスタのダメージがなくなると共にデバイスの高速化を図ることが出来た。又、フィールド酸化膜12上のPoly-Si配線30脇の段作寸法も抑えられ、平坦性の改善がなされると共に、層間絶縁膜21、24のボイドもなくなった結果、歩留り、信頼性等の向上も図れた。

他に実施例として、ゲート電極とソース、ドレイン等の不純物層に、自己整合的に金属シリサイドを有する半導体装置の製造にも適用したが、例えば第2図の如く、ゲート電極14の側壁にシリコン空化膜27、シリコン酸化膜17のスペーサー18を形成後(第2図(a))、ソース、ドレイン等の不純物層等19、20の表面に残るゲート酸化膜13をHF水溶液で除去し、この上にチタン28をスパッタし(第2図(b))、その後ハロゲンランプで約700°C、30秒の空素アニ

ールを行なって、不純物層19、20やゲート電極14のシリコン表面に接しているチタン28をモノシリサイド化させ、フィールド酸化膜12やシリコン酸化膜でなるスペーサー18上は空化チタンとさせ、これを過酸化水素水とアンモニア水の2:1混合液に浸漬し空化チタンのみ除去させ、再び800°Cのハロゲンランプで空素アニールを行ない残ったモノシリサイドをシート抵抗3Ω/□程度のチタンダイシリサイド31とした(第2図(c))。この時のHFエッチでスペーサー19もある程度除去されてしまうが、シリコン空化膜27が有る為、ゲート電極14と不純物層19、20表面のシリサイド31の分離が従来に比べ確実に行なわれる様になり、歩留りも飛躍的に向上させることが出来た。

又、第1及び第2の層間絶縁膜21、24として、TEOSとO<sub>2</sub>のプラズマ反応やTEOSとO<sub>2</sub>を熱反応させた気相反応シリコン酸化膜をデバイス適用したが、カスピングがないことからSiH<sub>4</sub>とO<sub>2</sub>を気相反応させたシリコン酸化膜を

用いたものより平坦性を、より改善させることができた。

尚、実施例では、多層金属配線のNchMOS-LSIについて説明したが、単層金属配線やCMOS-LSIにも適用でき、又、金属配線としては、純AlやこれにCu、Si、Pt、Co等を含む合金単層に限らず、更にバリアメタルやハーフショット防止の為のキャップメタルをAl合金配線の上、あるいは下に積層した構造にも応用可能である。

#### 【発明の効果】

以上の様に本発明によれば、MOSトランジスタのゲート電極等の側壁スペーサーをシリコン酸化膜とシリコン酸化膜の積層構造とし、スペーサー形成時にフィールド酸化膜やゲート酸化膜のオーバーエッチを防ぐ事により、歩留り、電気特性や信頼性の向上がなされ、より集積化、多機能化された半導体装置の安定供給に寄与出来るものである。

#### 4. 図面の簡単な説明

第1図(a)～(d)、及び第2図(a)～(d)は、本発明による半導体装置の製造方法の実施例を示す概略断面図である。

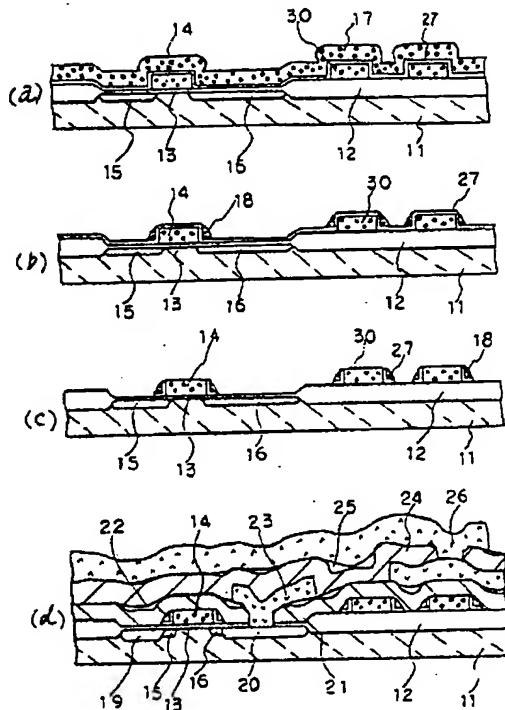
第3図(a)～(d)は、従来の半導体装置の製造方法に係わる概略断面図である。

- 11・・・シリコン基板
- 12・・・フィールド酸化膜
- 13・・・ゲート酸化膜
- 14・・・ゲート電極
- 15、16・低濃度不純物層
- 17・・・シリコン酸化膜
- 18・・・スペーサー
- 19、20・高濃度不純物層
- 21・・・第1の層間絶縁膜
- 22、25・塗布ガラス
- 23・・・第1の金属配線
- 24・・・第2の層間絶縁膜
- 26・・・第2の金属配線

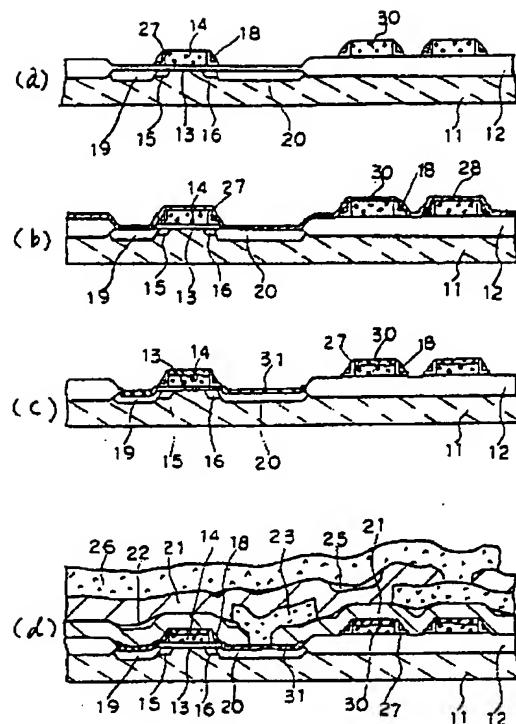
- 27・・・シリコン空化膜
- 28・・・チタン
- 29・・・ポリド
- 30・・・配線
- 31・・・シリサイド

以上

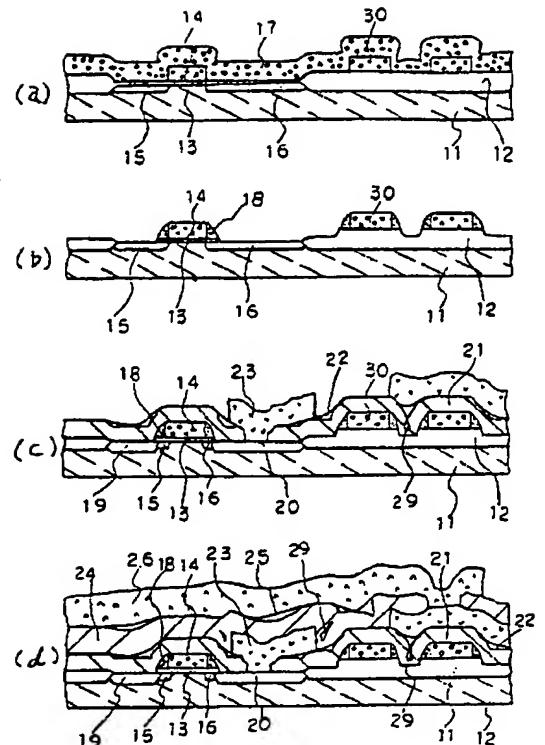
出願人 セイコーエプソン株式会社  
代理人 弁理士 鈴木 喜三郎(他1名)



第1回



第2回



第3回

